

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2000-513507

(P2000-513507A)

(43) 公表日 平成12年10月10日 (2000. 10. 10)

(51) Int.Cl.⁷

H 0 1 L 21/20

識別記号

F I

H 0 1 L 21/20

テマコード* (参考)

審査請求 有 予備審査請求 有 (全 23 頁)

(21) 出願番号 特願平11-505004
 (86) (22) 出願日 平成10年6月23日 (1998. 6. 23)
 (85) 翻訳文提出日 平成11年12月24日 (1999. 12. 24)
 (86) 国際出願番号 PCT/US98/13076
 (87) 国際公開番号 WO98/59365
 (87) 国際公開日 平成10年12月30日 (1998. 12. 30)
 (31) 優先権主張番号 60/050, 602
 (32) 優先日 平成9年6月24日 (1997. 6. 24)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 60/059, 765
 (32) 優先日 平成9年9月16日 (1997. 9. 16)
 (33) 優先権主張国 米国 (US)

(71) 出願人 マサチューセッツ インスティテュート
 オブ テクノロジー
 アメリカ合衆国 マサチューセッツ州 ケ
 ンブリッジ マサチューセッツ アベニュー
 77
 (72) 発明者 フィッツジェラルド ユージン エイ
 アメリカ合衆国 ニューハンプシャー州
 ウィンダム キャメロット ロード 7
 (74) 代理人 弁理士 吉田 研二 (外2名)

最終頁に続く

(54) 【発明の名称】 傾斜GeSi層と平坦化を用いたゲルマニウム・オン・シリコンの貫通転位の制御

(57) 【要約】

半導体基板 (302) と、この基板上の少なくとも1つの第1結晶性エピタキシャル層 (304) であって平坦化された表面を持つ第1層と、その第1層上の少なくとも1つの第2結晶性エピタキシャル層 (306) と、を備える半導体構造。本発明の別の実施態様では、半導体基板、及びその基板上に成長したGeSi (306, 308) 傾斜領域を備える半導体構造が提供され、その傾斜領域には、熱処理時に組み込まれた引っ張り歪みを相殺するような圧縮歪みが組み込まれる。本発明の更に別の実施態様では、半導体基板と、この基板上に成長した傾斜領域 (304) を有する第1層と、を備える半導体構造が提供され、前記傾斜領域には熱処理の間に組み込まれる引っ張り歪みを相殺すべく圧縮歪みが組み込まれ、前記第1層は平坦化された面を有し、前記第1層上に第2層 (306, 308) が設けられる。

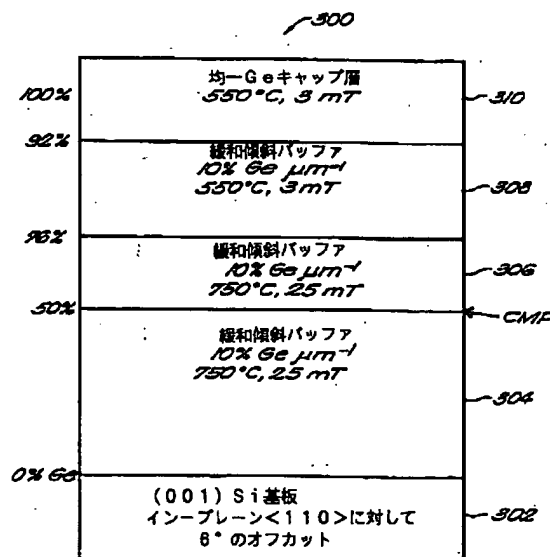


FIG. 3

【特許請求の範囲】

1. 半導体基板と、
この基板上の少なくとも1つの第1結晶性エピタキシャル層であって、平坦化された面を持つ第1結晶性エピタキシャル層と、
該少なくとも一つの第1層の上の第2結晶性エピタキシャル層と、
を備える半導体構造。
2. 請求項1の構造であって、前記少なくとも1つの第1結晶性エピタキシャル層が格子ミスマッチである、構造。
3. 請求項1の構造であって、前記少なくとも1つの第2結晶性エピタキシャル層が格子ミスマッチである、構造。
4. 請求項1の構造であって、前記第1及び第2の結晶性エピタキシャル層が格子ミスマッチである、構造。
5. 請求項2の構造であって、前記少なくとも1つの第1層が組成傾斜緩和エピタキシャル領域を含む、構造。
6. 請求項3の構造であって、前記少なくとも1つの第2層が組成傾斜緩和エピタキシャル領域を含む、構造。
7. 請求項4の構造であって、前記第1及び第2の層が組成傾斜緩和エピタキシャル領域を含む、構造。
8. 請求項7の構造であって、前記少なくとも1つの第1層が、第1の組成傾斜緩和エピタキシャル領域と第1の均一組成層とを含む、構造。
9. 請求項8の構造であって、前記少なくとも1つの第2層が、第2の均一組成層と第2の組成傾斜緩和エピタキシャル領域とを含む、構造。
10. 請求項9の構造であって、前記第1及び第2の均一組成層が実質的に格子ミスマッチである、構造。
11. 請求項9の構造であって、前記少なくとも1つの第2層の面の貫通転位及び転位パイルアップが実質的に少ない、構造。
12. 請求項9の構造であって、前記基板がシリコンを含み、前記第1及び第2の組成傾斜緩和エピタキシャル領域と前記第1及び第2の均一組成層とがGe_x

Si_{1-x}合金を含む、構造。

13. 請求項12の構造であって、前記平坦化が約50%の組成のところで行われている、構造。

14. 請求項13の構造であって、最終的なGe濃度がほぼ70~100%の間である、構造。

15. 請求項1の構造であって、前記少なくとも1つの第2結晶性エピタキシャル層が平坦化された面を含む、方法。

16. 請求項15の構造であって、前記第2層上に後続のエピタキシャル層が設けられ、それら後続層の各々が平坦化された面を有する、構造。

17. 請求項1の構造であって、前記第1層が化学機械研磨により平坦化された、構造。

18. 請求項15の構造であって、第1の平坦化はほぼ20%から35%の間の

GeSiのところで行われ、第2の平坦化はほぼ50%から70%の間のGeSiのところで行われる、方法。

19. 請求項12の構造であって、前記傾斜領域に圧縮歪みが組み込まれ、熱処理中に組み込まれる引っ張り歪みを相殺する、方法。

20. 請求項1の構造であって、 $x=0$ からほぼ $x \leq 35\%$ まではGe_xSi_{1-x}の合金は750℃で成長させられ、 $x=35$ からほぼ $x \leq 75\%$ までの合金は650℃から750℃までの間で成長させられ、75%を越える合金は550℃で成長させられる、構造。

21. シリコン基板と、

前記シリコン基板上に成長したGeSi傾斜領域であって、熱処理の間に組み込まれる引っ張り歪みを相殺すべく圧縮性歪みが組み込まれたGeSi傾斜領域と、

を備える半導体構造。

22. 請求項21の構造であって、前記圧縮歪みはより低い温度でGeSi合金を成長させることにより組み込まれ、前記合金が完全には緩和されない、構造。

23. 請求項21の構造であって、前記圧縮歪みは、前記傾斜層においてGe濃

度が上昇するにつれて成長温度を低下させることにより組み込まれる、構造。

24. 請求項21の構造であって、 $x=0$ からほぼ $x \approx 35\%$ までは $\text{Ge}_x\text{Si}_{1-x}$ の合金は 750°C で成長させられ、 $x=35$ からほぼ $x \approx 75\%$ までの合金は 650°C から 750°C までの間で成長させられ、 75% を越える合金は 550°C で成長させられる、構造。

25. 請求項21の構造であって、前記傾斜領域が平坦化された面を含む、構造

26. 請求項25の構造であって、前記傾斜領域が化学機械研磨で平坦化された、構造。

27. 半導体基板と、

この基板上に成長した傾斜領域を有し、平坦化された面を有する第1層であって、前記傾斜領域には、熱処理の間に組み込まれる引っ張り歪みを相殺すべく圧縮性歪みが組み込まれた第1層と、

前記第1層上に設けられた第2層と、
を備える半導体構造。

28. 半導体基板を用意するステップと、

その基板上に少なくとも1つの第1結晶性エピタキシャル層を形成するステップと、

前記第1の層の面を平坦化するステップと、
を含む半導体構造の製造方法。

29. 請求項28の方法であって、更に、少なくとも1つの第2結晶性エピタキシャル層を前記第1層の上に形成するステップを含む、方法。

30. 請求項28の方法であって、前記第1層を形成するステップが、前記基板上に GeSi 緩和傾斜領域を成長させるステップを含む、方法。

31. 請求項30の方法であって、前記傾斜領域に圧縮歪みを組み込むステップを含み、熱処理時に組み込まれた引っ張り歪みを相殺する、方法。

32. 請求項31の方法であって、前記圧縮歪みを組み込むステップが、前記傾斜領域において Ge 濃度が上昇するにつれて、成長温度を低減するステップを含

む、方法。

33. 請求項32の方法であって、前記圧縮歪みを組み込むステップが、 $\text{Ge}_x\text{Si}_{1-x}$ の合金を、 $x=0$ からほぼ $x \leq 35\%$ までは 750°C で成長させ、 $x=35$ からほぼ $x \leq 75\%$ までは 650°C から 750°C の間で成長させ、 75% を越えると 550°C で成長されるステップを含む、方法。

34. 請求項28の方法であって、前記平坦化のステップが、化学機械研磨を行うステップを含む、方法。

【発明の詳細な説明】

傾斜GeSi層と平坦化を用いたゲルマニウム・オン・シリコンの 貫通転位の制御

優先権情報

本出願は、1997年6月24日にファイルされたシリアル番号60/050,602号、及び1997年9月16日にファイルされた60/059,765号の仮出願による優先権を主張する。

発明の背景

本発明は、平坦でクラックがなく低転位密度であるミスマッチド半導体層を生成する方法、及び傾斜（グレーデッド：graded）SiGe層を用いた、ゲルマニウム・オン・シリコン（Ge on Si）の貫通転位（threading dislocation）の制御の方法に関する。

エレクトロニクス及びオプトエレクトロニクスの部品やシステムの発展により、更に複雑なシステムレベルの機能をチップレベルに組み込む必要が出てきている。この要求の効果の一つが、コモン基板に対する格子ミスマッチの材料を使うことについての、高まり続ける圧力である。

全体的に混和性のGeSi系の技術的重要性は、様々な文献に現れている。特に、緩和（relaxed）傾斜GeSiバッファは、高電子移動度構造の成長のため、及びSi上にIII-V族のデバイスを集積するため、の「基板」として用いられてきた。緩和傾斜バッファは、SiとGeの間に徐々に4%の格子ミスマッチをもたらし、分散した3次元のミスフィット転位ネットワークを結果としてもたらし、貫通転位の歪み解放すべりが促進され、ミスマッチ歪みの蓄積を防ぐ。初期層に存在する貫通転位は後続層の歪み解放にも用いられるので、傾斜層成長が進行するにつれて別の転位の結晶核生成（nucleation）が抑圧される。しかし、高Ge濃度まで厚くグレーディング（傾斜成長）を行う間には、問題が起こる。

特徴的なクロスハッチ表面粗さ及びミスフィット・アレイの潜在歪み場は重複

することができ、貫通転位のすべりの障害となり、転位のパイルアップ（pile-up：山積）をもたらし、このようなパイルアップの形成は、別の貫通転位の核生

成を必要とする。トラップされた貫通転位が、もはや歪み解放に寄与できないからである。オフカット (offcut) Si 基板上の成長は、表面形態 (モルフォロジ) を改善し、パイルアップの数を減らすものとされているが、パイルアップを完全に除去するものではない。したがって、貫通転位密度及びパイルアップ数の増加は、傾斜層の厚みが増すに応じて、常に観察される。

発明の概要

したがって、本発明の目的は、ミスマッチド半導体層の緩和の制御を可能とし、共通基板の上に多数の異なる半導体材料を形成できるようにする方法を提供することである。

本発明の別の目的は、化学機械研磨 (chemical-mechanical polishing: CMP) 等の平坦化処理を利用した、貫通転位密度を付随的に上昇させることなく 100% Ge までの緩和傾斜バッファを成長させることができる方法を提供することである。

本発明の更に別の目的は、超高真空 CVD (UHVCVD: ultra-high vacuum chemical vapor deposition) 成長手順を改良して、Si と Ge の間の温度不整合に起因する表面クラック、及びガス相核生成イベントに起因する粒状欠陥を除去することを目的とする。

従って、本発明のある態様では、半導体基板と、この基板上の少なくとも一つの第 1 結晶性エピタキシャル層であって、平坦化された面を持つ第 1 結晶性エピタキシャル層と、該少なくとも一つの第 1 層の上の第 2 結晶性エピタキシャル層と、を備える半導体構造を提供する。

本発明の別の態様では、シリコン基板と、前記シリコン基板上に成長した Ge Si 傾斜領域であって、熱処理の間に組み込まれる引っ張り歪みを相殺すべく圧縮性歪みが組み込まれた Ge Si 傾斜領域と、を備える半導体構造を提供する。

本発明の更に別の態様では、半導体基板と、この基板上に成長した傾斜領域を有し、平坦化された面を有する第 1 層であって、前記傾斜領域には、熱処理の間

に組み込まれる引っ張り歪みを相殺すべく圧縮歪みが組み込まれた第 1 層と、前記第 1 層上に設けられた第 2 層と、を備える半導体構造を提供する。

本発明の更に別の態様では、半導体基板を用意し、その基板上に少なくとも1つの第1結晶性エピタキシャル層を形成し、前記第1の層の表面を平坦化する、半導体構造の製造方法を提供する。

図面の簡単な説明

図1は、本発明に係る例示的な実験の処理ステップのフローチャートである。

図2は、本発明に係る例示的な構造サンプルの成長パラメータ及び特徴検出結果のテーブルの図である。

図3は、本発明に係る半導体構造の構造及び成長条件を模式的に示す図である。

図4は、本発明の構造の上側傾斜領域及び均一Geキャップの断面XTEM画像である。

図5A及び5Bは、各々、例示した半導体構造サンプルのEPDを比較するノマルスキー光学マイクログラフである。

発明の詳細な説明

組成傾斜（グレーディッド）GeSi層は、濃度<50%の、Si上のGeSi合金の緩和のための実行可能な手段であるものの、グレーディング（傾斜成長）を続けると貫通転位密度が上昇することが、以前から知られている。例えば、Fitzgeraldらが出願した米国特許出願シリアル番号08/806,741号を参照のこと。この出願は、本明細書に参考のために組み込む。したがって、例えば、最終的なGe層が、Si上に直接成長したGeよりも低い欠陥密度であるにもかかわらず、残留欠陥密度は様々な応用例において依然高すぎ（ $\sim 10^7 \text{ cm}^{-2}$ ）、その密度は本方法を用いたSi上の緩和されたGe₃₀Si₇₀（ $\sim 7 \times 10^5 \text{ cm}^{-2}$ ）よりも間違いなく高い。Ge₃₀Si₇₀におけるそのような欠陥密度のためのグレーディング（傾斜）レートは、厚さ1 μm につき10%Geである。

貫通転位密度を低減するという目的を達成するために、グレーディング・レートは厚さ1 μm につき5%Geまで低減される。経験によれば、グレーディング

・レートを下げるほど、貫通転位密度は低くなると考えられる。しかし、貫通転位密度は、10%Ge/ μm のグレーディング・レートとほとんど等しく、温度

不整合によりクラックが発生し、シランよりもはるかに低い温度における密接な関係のある (germane) クラックから、GeSiのガス相結晶核生成と見られるものに起因する多くの粒子が見出されることが分かった。

半導体構造においてコントロールが必要な主要な問題点は、クラック発生と貫通転位密度である。1 μm 当たり 5% Ge では最終的な厚みが非常に大きいものとなり、成長温度からの冷却の際に堆積層と Si との間の温度不整合が引っ張り歪みをもたらす、という事実により、クラック発生は起因している。引っ張り歪みが十分大きいとき、特に冷却中に転位フローがある温度で止まれば、クラック発生は緩和機構 (relaxation mechanism) となる。しかし、グレーディング・レートがより緩慢なほど貫通転位密度が下がるので、貫通転位密度を低減するには厚みをより大きくすることが必要である。したがって、クラックの除去と貫通転位の数を小さくすることは、両立したい目的であるように見えるかもしれない。

これら緩和構造の開発において解決策が見出された。高 Ge 濃度の緩和 Ge 構造を生成しようとするときに非常にゆっくりとグレーディングすることの必要性は、傾斜 (グレーディッド) バッファ層における加工硬化にその起源を持つ。すなわち、継続的な緩和処理の間、転位は、高度に転位した傾斜層のなかで、あるメカニズムによりブロックされ、それが更なる転位の核生成の必要性を生み出し、その結果貫通転位密度が上昇する。1 μm につき 10% Ge のグレーディング・レートについては、転位歪み場それ自体では、ブロック現象をとっても説明することはできない。表面モルフォロジー上の転位歪み場の効果が転位運動のブロックを助けていた、という結論に達した。実際に、オフカット (off-cut) ウエハー上の成長を見れば、そのようなブロック現象が減少し得ることがわかり、この実験的な証拠は、表面粗さが主要な問題であるという仮説を支持している。

したがって、本発明では、バッファ層の成長過程に平坦化ステップを適用し、緩和処理中にもたらされた転位により生じた粗さを除去する。すなわち、このプロセスは、平坦化により表面の「履歴」を効率的に除去し、表面の粗さや溝 (グルーピング: grooving) が続くことにより転位のブロックを導くことを防止して

いる。劇的な効果が見つかった。グレーディングを続けたときの貫通転位密度の

上昇が、完全に除去された。

図1は、本発明に係る例示的な実験の処理ステップのフローチャートである。
例示的な実験の概要は以下の通りである。

まず（ステップ100）、Si基板が、1 μ mにつき10%Geで、Ge₅₀Si₅₀までグレーディング（傾斜成長）され、問題含みの高Ge限界（エンド）での成長を調べるために緩和合金（relaxed alloy）が生成される。このグレーディング・レートは、高Ge限界を調査する必要性しかなかったので、下げなかった。これらの層は、UHVCVDを用いて750℃で成長させた。欠陥分析によれば、 $6 \times 10^6 \text{ cm}^{-2}$ オーダの貫通転位密度が実現されたことが分かり、これは正に期待通りであった。また、多数の転位パイルアップが見られる。これは、転位のブロック現象が始まったが、全体的には制御不能には陥っていないことを示している。

これらGe₅₀Si₅₀ウェハは、傾斜（グレーディッド）層の頂上に2 μ mの均一なキャップを持ち、化学機械研磨（CMP）の形での平坦化が実行可能である（ステップ102）。当業者であれば、イオンビーム・エッチングやその他の平坦化エッチング技術など、別の方法による平坦化も可能であることが分かるであろう。用いたCMPプロセスは、Si工業界での標準CMPであり、Siウェハの研磨や平坦化バックエンドSiプロセスのために用いられているものである。

平坦化の後、ウェハは、再びUHVCVDシステムに入れられ、グレーディング処理が続行される（すなわち再成長）（ステップ104）。Ge₅₀Si₅₀組成のところからデポジション（堆積）が開始され、1 μ m当たり10%Geの率で75%Geとなるまでグレーディングされ、この間すべて750℃の成長温度で行われる。

その後成長温度が550℃まで下げられる。そして、92%Geまでのグレーディング処理が、1 μ m当たり10%Geの率で行われる（ステップ106）。

純Geの均一なキャップが堆積され、その厚さは1～1.5 μ mである（ステップ108）。この実験では、そのGeキャップにドーピングを行い、これによ

りGe光検出器が製造される。

以下の記載は、例示的な実験サンプルを示すものであり、説明のために、サンプルA, B, C, Dとラベル付けしている。実験の制御（基準）サンプルであるサンプルAは、Siから100%Geまで5%Ge μm^{-1} のレートでグレーディングした。これは、750℃、25mTで成長させ、3 μm のGeキャップを頂上に設けた。Ge濃度を5000Å刻みで2.5%上昇させることにより、直線的なグレーディングに近似させた。サンプルBは、100%Geまで、10%Ge μm^{-1} のレート、800℃の温度、50mTの圧力で成長させた。この構造は、転位パイルアップの形成に関する以前のレポートのサンプル構造に対応する。サンプルCは、50%Geのところまで、10%Ge μm^{-1} のグレーディング・レートで成長させ、1.5 μm の50%Geのキャップを頂上に設けた。サンプルCの傾斜領域は、2000Å刻みに2%Geで組成された。

9個のウェハーが、この方法で、Si上の50%Ge「バーチャル基板」を生成するために製造され、高Ge濃度までグレーディングを行うときに起こる貫通転位密度の上昇の研究に用いられた。最少貫通転位密度に最適化はされていないが、これら「基板」は約 $5 \times 10^6 \text{ cm}^{-2}$ の貫通転位密度を一般に有することが分かった。図2のテーブルが示すように、9個のウェハーは、この研究についての、このオーダの転位密度を持つ、精密なバーチャル基板であった。

図3は、本発明に係る半導体構造300（サンプルD）の構造及び成長条件を模式的に表す図である。構造300は、インーブレーン（面内） $\langle 110 \rangle$ 方向に対して6°オフカットされた(001) Si基板302を含んでいる。構造300は、緩和傾斜バッファ層、すなわち、10%Ge μm^{-1} のグレーディング・レートで成長し、頂上部に1.5 μm の50%Geのキャップが設けられた、50%Geの領域304を備えるよう形成される。その傾斜領域は、2000Å刻みに2%Geで構成された。このポイントでは、本構造は、これまでに説明したサンプルCに対応する。領域304の上部5000Åは、その後CMPにより除去され、頂上に、50~100%Ge傾斜バッファ領域306が、10%Ge μm^{-1} のレートで、再び2000Å刻み2%で、成長されられる。当業者ならば、第2の傾斜層の開始は、まず格子マッチングしたホモエピタキシャル均一組成バ

ッファ層を形成し、その後グレーディングを開始することにより実現されることが分かるであろう。この50~76%Ge部分では、成長条件は、750℃、25mTで一定に保たれた。その後、成長が停止され、温度と圧力が550℃、3mTまで下げられる。それから、傾斜バッファ領域308の成長処理が、92%Geに到達するまで続行される。Ge濃度の最後のジャンプは、92%から100%へのものであり、1.5μmの均一キャップ層310が堆積される。

図4は、構造300（サンプルD）の上側傾斜層及び均一キャップの、断面（cross-sectional）透過型電子顕微鏡（XTEM）による顕微鏡写真である。研究でのすべてのサンプルは、インープレーン<110>方向に対して6°オフカットされた（100）Siウエハー上に、UHV CVDで成長させた。

これら4サンプルを、断面XTEM、平面視（plan view）光学顕微鏡、エッチ・ピット密度（EPD）、原始間力顕微鏡（AFM）、3軸X線回折、により特徴検出（キャラクタライゼーション）した。これに関連する結果が、図2のテーブルに示される。

4サンプルA, B, C, Dの貫通転位密度を比較すると、期待した結果及び予想しなかった結果の両方が見られる。サンプルAは緩慢なグレーディング・レートで成長させたので、表面の粗さやパイルアップ形成による悪影響を考慮しない者ならば、そのサンプルは低貫通転位密度になると思うかもしれない。もちろん、以前の論文等で示したように、これらのファクターは、貫通転位を高密度、 $\sim 10^7 \text{ cm}^{-2}$ にする。期待したように、サンプルB、すなわち、10%Ge μm^{-1} という比較的急なレートで100%Geまでグレーディングした類似のサンプルは、更に大きい貫通転位密度を有する。サンプルCのデータは、貫通転位密度がGe濃度に応じて上昇し、50%Geで、既に貫通転位密度が 10^6 cm^{-2} の範囲に入っていることを確認している。

しかしながら、構造300（サンプルD）は、実質的に100%Geまで10%Ge μm^{-1} でグレーディングしたものだが、サンプルCに近い、またはむしろサンプルCよりもわずかに低い貫通転位密度を有し、サンプルA及びサンプルBの両方よりも低い値である。50%GeのところでCMPステップを加えたことにより、Ge濃度に応じた貫通転位密度の上昇が抑えられた。したがって、この

ステップにおける表面の平坦化は、サンプルCにおけるパイルアップに見られるスレッド（貫通転位）を解放し、その転位がその後に続く成長の際にもたらされる歪みを解放し、更に別の貫通転位を核生成するための駆動力を除去している。

サンプルCとDのEPDを比較するノマルスキー光学顕微鏡写真を図5A及び5Bにそれぞれ示す。EPD結果は、10%Ge μm^{-1} で50%GeまでグレーディングしたサンプルCと、サンプルBの上にCMP平坦化ステップの後に10%Ge μm^{-1} で100%GeまでグレーディングしたサンプルDの、貫通転位密度を示している。貫通転位密度は、サンプルCについては $6.3 \pm 0.1 \times 10^6 \text{ cm}^{-2}$ 、サンプルDについては $2.1 \pm 0.2 \times 10^6 \text{ cm}^{-2}$ である。

サンプルCに見られるパイルアップは、CMP/再成長ステップにより除去され、サンプルDには実質的なパイルアップが見られないことが理解されよう。注目すべきは、全体的な欠陥モルフォロジーが、更なる緩和処理 (relaxation) により実際に改善されていることである。成長の最初の部分が基礎となる貫通転位密度を更に下げるように最適化されると、100%Geまでの緩和傾斜GeSiバッファを、はるかに低い最終欠陥密度で実現することができると考えられる。

4サンプルのAFMデータを調べると、表面粗さの貫通転位密度への影響が理解される。10%Ge μm^{-1} で100%GeまでグレーディングしたサンプルBは、最も高いrms（二乗平均）粗さ、すなわち47nmを有する。表面粗さが最も高いのは、急激なグレーディング・レートによるものであり、4サンプルの中で最も高い貫通転位密度をもたらし、その値は 10^7 cm^{-2} を越える。サンプルAのためにグレーディング・レートを5%まで下げると、表面粗さもそれに対応して35.9nmまで下がった。この粗さは、サンプルCの粗さと同等であり、両サンプルにおいてパイルアップを生成し、貫通転位密度の上昇を起こすのに十分大きい値である。サンプルDにおいてCMPステップを含めたことにより、結果として得られた24.2nmの最終表面粗さは、同じグレーディング・レートにもかかわらずサンプルBの粗さよりもはるかに低く、ゆっくりグレーディングされたサンプルAの粗さよりも低い。この結果は、先ほど論じた貫通転位密度のデータと並行的な観察結果であり、厚い傾斜バッファを成長させる際にCMPステップを挿入することの重要性を強調するものである。

サンプルAのような厚い傾斜SiGeパuffアを高温で成長させると、SiとGeの間の温度ミスマッチによる冷却の間に、表面にクラックが生じることがある。サンプルAの成長温度750℃と室温との間では、Siの熱膨張係数 α_{Si} は、 $4.27 \times 10^{-6} K^{-1}$ から $2.57 \times 10^{-6} K^{-1}$ まで変化し、 α_{Ge} は $8.55 \times 10^{-6} K^{-1}$ から $5.90 \times 10^{-6} K^{-1}$ まで変化する。Geの熱膨張係数はSiのそれよりも大きいので、パuffアの上側のGeリッチな部分に厳しい引っ張り応力が結果として生じる。

サンプルAでは、室温まで冷却するときの温度不整合による歪みの計算値は、 2.6×10^{-3} であり、高密度の表面クラックを結果として生じさせる。サンプルDを成長させる際、このクラック問題を緩和するために特に考えられた成長処理の改良が加えられている。2倍のレートでグレーディングすることにより、堆積される材料の総量とこれに応じた熱応力からの歪みエネルギーが低減される。もっとも重要なことに、低い温度における急なグレーディング・レートと、サンプルDにおける92%から100%への最終的なGe濃度のジャンプとが、準安定な圧縮残留応力をその温度でそのパuffアに組み込む。圧縮性の格子ミスマッチは、引っ張り性の温度ミスマッチに対抗するので、サンプルDは、室温で、ほとんど応力のない状態となる。

X線回折データは、頂上層が実際にわずかに圧縮性であり、表面のクラック発生を防止していることを示している。また、Ge濃度についての大きな最終ジャンプにより、サンプルDの傾斜パuffアは、サンプルBに比べてGeリッチな材料がほとんど1 μm 程度少なく、温度不整合応力による歪みエネルギーの絶対値を低減している。従って、サンプルDとサンプルBのいずれも成長の後で表面クラックが生じないとはいえ、サンプルDの方が、続いてIII-V族材料（これもSiに対して温度不整合である）を集積するには優れた材料であろう。サンプルDの高Ge部分の間の成長温度を下げることは、ガス相結晶核生成イベントからの粒状汚染の量も低減する。これらイベントは、成長温度や圧力が上昇するにつれて、特にその固体合金の融点近くでは、はるかに頻繁になる。

傾斜パuffア成長プロセスに平坦化ステップを加えることにより、そして成長処理にいくつかの改良を加えることにより、100%Ge傾斜パuffアが10%

$\text{Ge } \mu\text{m}^{-1}$ で成長し、そのバッファは、 $5\% \text{Ge } \mu\text{m}^{-1}$ で平坦化ステップなしでグレーディングしたサンプルAよりも、大きさのオーダが低い最終的な貫通転位密度を示す。また、成長の $50 \sim 100\% \text{Ge}$ の部分における貫通転位の核生成は、転位パイルアップのところの不可動な転位の解放により抑圧される。傾斜バッファの表面モルフォロジーも改善される。最終的に、 Si と Ge の間の温度不整合による表面クラック発生、及びガス相結晶核生成イベントによる粒子は、共に除かれる。このような成長処理の改良は、より品質の高いゲルマニウム・オン・シリコンをもたらすだけでなく、バルク Ge 基板の状態の上に低欠陥密度のゲルマニウム・オン・シリコンを成長させるための方策を示唆している。

一般に、低 Ge 濃度合金の以前の知識は、今や、前述したようなより高い Ge 濃度まで成長した膜の新たに観察された特性と組み合わせられる。 $1 \mu\text{m}$ 当たり 10% でグレーディングされた $\text{Ge}_{30}\text{Si}_{70}$ についての貫通転位密度は、低い 10^5cm^{-2} の範囲であり、低い及び高い Ge 濃度についての最適条件の組合せにより、極めて低い貫通転位密度の、 10^5cm^{-2} の貫通転位密度の、純 Ge でコートされた Si ウエハーを得ることができる。続いて GaAs を Ge 上に堆積し、 Si 上にIII-V族材料をモノリシック集積することができる。

本発明は、このように、傾斜バッファにおいて、平坦化ステップを用いることにより、低貫通転位密度を達成する方法を提供する。本発明は、ある格子ミスマッチの半導体を他のものの上に成長させ、半導体成長物を平坦化し、その研磨された表面上に半導体を再成長させ、緩和を続ける格子ミスマッチ構造の成長を続行するステップを含む。更に、高 Ge 側で成長温度を下げることにより、反対符号の格子ミスマッチを残留させて Ge と Si の熱膨張の違いをバランスさせる。

最適な構造を上述のように形成した。別の例示的な半導体構造を次に示す。個の構造は、まず、 $5\% / \mu\text{m}$ 、 750°C で $\text{Ge}_{35}\text{Si}_{65}$ までグレーディングされる。その後表面が、例えばCMPで、平坦化される。次に、 650°C で $\text{Ge}_{75}\text{Si}_{25}$ まで再成長及びグレーディングされる。そして、表面が再びCMPで平坦化される。最後に、構造は、 550°C で均一 Ge になるまで再成長及びグレーディングされる。

以上の記載はこれら特定のシーケンスを報告するものであるが、そのシーケン

スに小さな変化を加えても同じ結果が得られ、最適な平坦化処理の回数も変化する。構造中に少なくとも1回の平坦化ステップが必要なことは明らかであり、高品質の材料を保証するためには、ゲルマニウム・オン・シリコンについてはおそらく2回の平坦化ステップが必要である。

本発明を、いくつかの好適な実施態様との関連で表し記述したが、その形態や詳細に対する様々な変更、省略及び付加が、本発明の精神及び範囲から逸脱することなく成し得る。

請求の範囲は、

【図1】

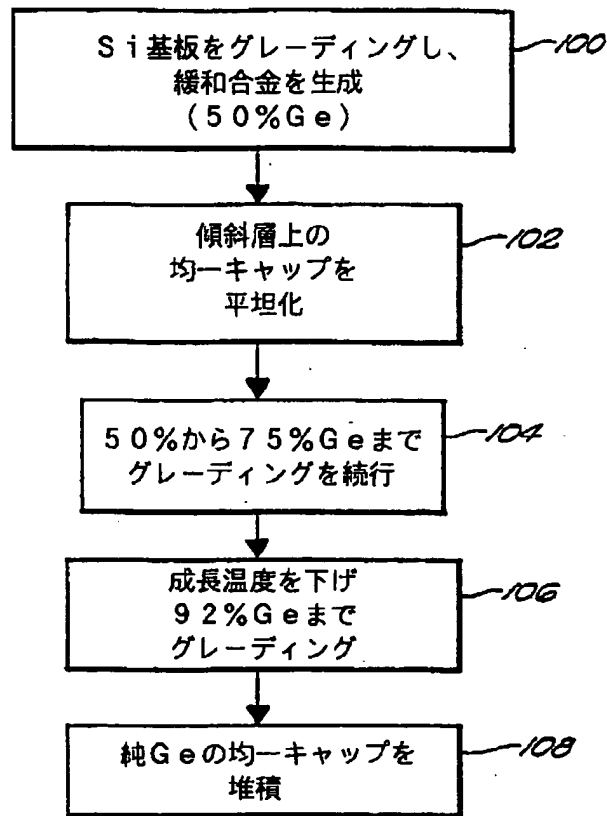


FIG. 1

【図2】

	サンプルA	サンプルB	サンプルC	サンプルD
最終Ge組成	100%	100%	50%	100%
クレイティングレート (% Ge μm^{-1})	5	10	10	10
総エピタキシャル 厚さ (μm)	23	12	6.5	12
成長温度 ($^{\circ}\text{C}$)	750	800	750	50-76%: 750 76-100%: 550
成長圧力 (mT)	25	50	25	50-76%: 25 76-100%: 3
50%におけるCMP	NO	NO	—	YES
貫通転位 密度 (cm^{-2})	$1 \pm 0.1 \times 10^7$	$1-5 \times 10^7$	$6.3 \pm 0.1 \times 10^6$	$2.1 \pm 0.2 \times 10^6$
クラック密度 (cm^{-1})	47 ± 5	0	0	0
粒子密度 (cm^{-2})	1250 ± 100	600 ± 40	50 ± 5	150 ± 10
RMSあらさ (nm)	35.9	47	37.3	24.2
頂上層の a_{\perp} (Å)	5.6559	5.6558	5.5327	5.6597
頂上層の a_{\parallel} (Å)	5.6559	5.6552	5.5352	5.6409

サンプルA～Dの成長パラメータと特性検出結果

FIG. 2

【図3】

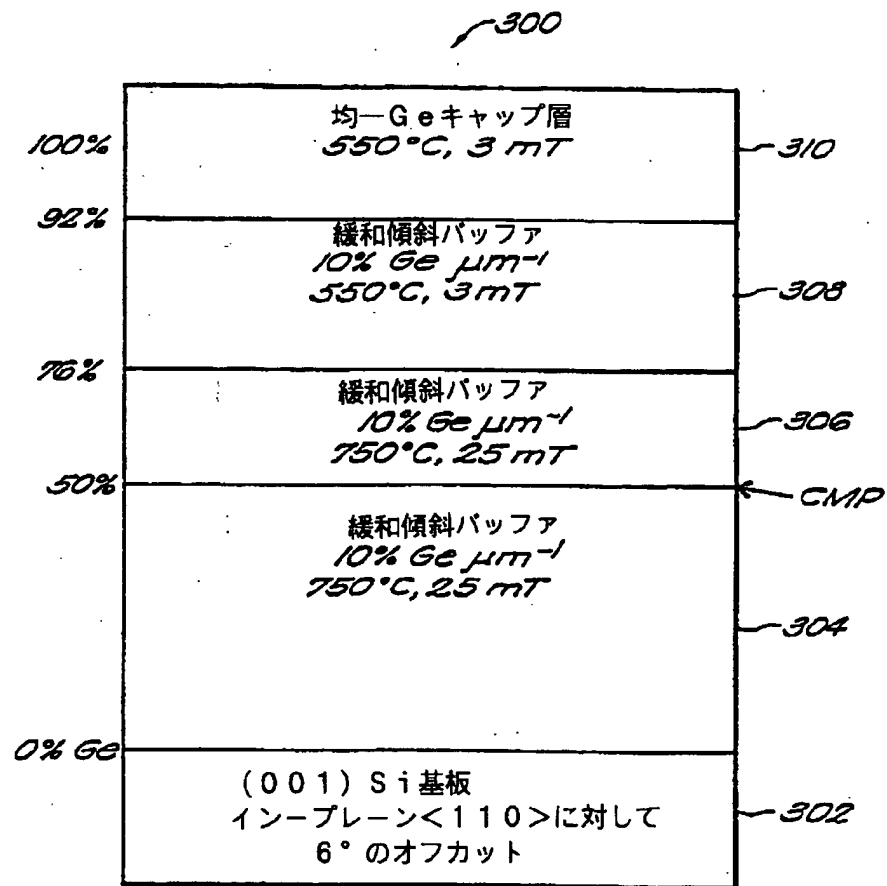


FIG. 3

【図 4】



FIG. 4

【図5】

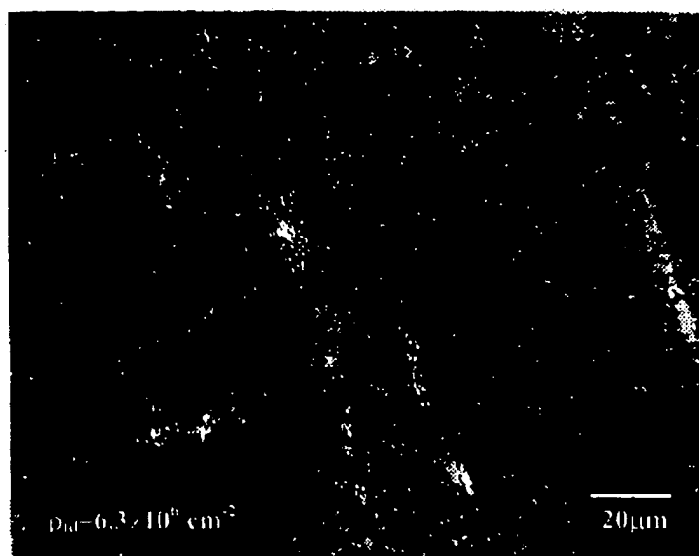


FIG. 5A

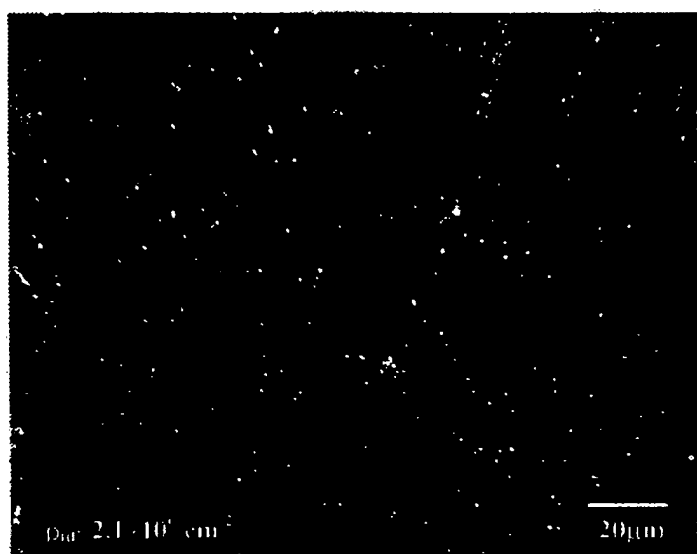


FIG. 5B

INTERNATIONAL SEARCH REPORT

Internat'l Application No.
PCT/US 98/13076

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/20

According to International Patent Classification(IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category * Citation of document, with indication, where appropriate, of the relevant passages

Relevant to claim No.

X FR 2 701 599 A (FUJITSU LIMITED)
19 August 1994

see page 4, line 23 - page 5, line 21
see page 7, line 10 - page 8, line 25

1,2,11,
17,28,
29,34

A EP 0 514 018 A (AMERICAN TELEPHONE & TELEGRAPH) 19 November 1992

P,X M.T.CURRIE ET AL: "Controlling threading dislocation densities in Ge on Si using graded SiGe layers and chemical-mechanical polishing." APPLIED PHYSICS LETTERS, vol. 72, no. 14, 6 April 1998, pages 1718-1720, XP002079773 USA
see the whole article

1-34

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" documents of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"S" document member of the same patent family

Date of the actual completion of the international search

7 October 1998

Date of mailing of the international search report

27/10/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 051 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Schuurmans, N

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/13076

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2701599 A	19-08-1994	JP 6244112 A	02-09-1994
		US 5399522 A	21-03-1995
EP 0514018 A	19-11-1992	US 5221413 A	22-06-1993
		JP 2792785 B	03-09-1998
		JP 6252046 A	09-09-1994
		US 5442205 A	15-08-1995

Form PCT/ISA-210 (patent family annex) (July 1992)

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), CA, JP, K
R